

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-042619

(43)Date of publication of application : 18.04.1978

(51)Int.Cl.

H04N 1/12
G06K 9/00

(21)Application number : 51-117670

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.09.1976

(72)Inventor : MORITA TETSUO

(54) PICTURE-AND-WRITING SIGNAL READING CONTROL SYSTEM**(57)Abstract:**

PURPOSE: To constitute the picture-and-writing signal reading control system which does not reduce the resolution of pictures and writings and does not increase the amount of transmission information even if a thin line is employed.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭53—42619

⑤Int. Cl.²
H 04 N 1/12
G 06 K 9/00

識別記号

⑥日本分類
97(3) A 22
97(7) B 62

庁内整理番号
7245—59
6974—56

④公開 昭和53年(1978)4月18日

発明の数 1
審査請求 未請求

(全 4 頁)

④書画信号読取制御方式

川崎市中原区上小田中1015番地
富士通株式会社内

②特 願 昭51—117670

⑦出 願 人 富士通株式会社

②出 願 昭51(1976)9月30日

川崎市中原区上小田中1015番地

⑦発 明 者 森田徹郎

⑦代 理 人 弁理士 松岡宏四郎

明細書の序文(内容に変更なし)
明 細 書

1. 発明の名称 書画信号読取制御方式

2. 特許請求の範囲

(1) 副走査方向に送られるドキュメントを該副走査方向と交叉する主走査方向に走査した走査線信号をえる書画信号読取制御方式において、

1つの走査線信号を得るために該ドキュメントを複数回走査して読取信号を得、該複数の読取信号の論理和をとつて該走査線信号とすることとを特徴とする書画信号読取制御方式。

(2) 上記読取信号をえるため、読取素子に駆動信号を与えたとともに該駆動信号に同期して上記論理和をとることを特徴とする特許請求の範囲第(1)項記載の書画信号読取制御方式。

(3) 上記複数の読取信号の論理和をとるため、読取信号を蓄積するメモリを設け、該メモリの出力信号と次の読取信号の論理和をとり、該メモリに蓄積することを特徴とする特許請求の範囲第(1)項又は第(2)項記載の書画信号読取制御方式。

3. 発明の詳細な説明

本発明はファクシミリ装置等における書画信号読取制御方式に関する。

近年ファクシミリの読取センサーとしてCCD

電荷結合素子)やホトダイオードアレー等の走査速度の速いセンサーが利用されている。

一方、ファクシミリ装置は予め定められた副走査線密度で原稿を走査するよう構成されており、例えば副走査線密度が4本/mmであるものが、一般的である。

このファクシミリ装置では、ファクシミリの主走査速度は伝送回線の伝送速度で定められてしまい高速化は限られてしまう。例えば、伝送速度が10000ビット/秒の場合には走査ラインのビット数を1020とすると、 $10000/1010 \div 10\text{Hz}$ の主走査周波数となる。

主走査周波数を10Hz、副走査線密度を4本/mmとすると、原稿が1秒間に進む速度は $10/425 \text{ mm/sec}$ であり、前述の読取センサーを利用すると読取られる領域が極端に小さくなる。

例えば、読取センサーの走査速度は一般に4ms程

度であるので、読取期間中の原稿移動量は $25 \times 4 = 100 \mu\text{m}$ となり、 $250 \mu\text{m}$ ($1/4$ 本) 毎の主走査に対し、わずか $100 \mu\text{m}$ の領域しか走査されないことになる。

このため、明暗体のような横線の細いもの ($100 \mu\text{m}$) は欠けてしまうことがあり、書面の解像度が落ちてしまうという欠点があった。

これを補うため、伝送明走査線密度をこまかくすることが考えられるが伝送情報量が増加し、伝送時間が長くなる問題がある。

本発明は上述の点を考慮し、書面の解像度を落とさず、且つ伝送情報量を増加することのない書面信号読取制御方式を提供することを目的とするものである。

この目的の達成のため、本発明書面信号読取制御方式は、副走査方向に送られるドキュメントを該副走査方向と交叉する走査方向に主走査し走査線信号をえる書面信号読取制御方式において

1つの走査線信号をえるために該ドキュメントを複数回走査して読取信号を得、該複数の読取信号

みをゲートして出力する。

この読取信号はゲート回路 9、10 及びメモリ 5 からなる蛍光灯光量補正回路に入力させる。

蛍光灯光量補正回路は商用周波数で点灯する蛍光灯の光量むらによる画像の劣化を補正するもので、蛍光灯の暗い時には黒信号の巾が長くなり、明るい時には黒信号の巾が短くなる現象を均一化するものである。この回路の詳細は本出願人が既に提案しているので説明は省くが、簡単に説明すると CCD 素子の読取信号の内、黒に対応する黒信号を '1'、白に対応する白信号を '0' とすると、ゲート回路 9 でメモリ 5 から出力された前の読取信号と次の読取信号との論理積をとり再度メモリ 5 に入力する。

従つて、黒信号は最も巾の短いものが最終的にメモリ 5 に蓄積される。メモリ 5 のシフトパルスはゲート回路 10 を介しゲート信号 b の存在期間入力される。

ゲート回路 9 には CCD 制御回路 2 の駆動クロック a に応じてゲート制御回路 8 で作成されたゲ

の論理和をとつて該走査線信号とすることを特徴とする。

以下、本発明を一実施例に沿つて説明する。

第 1 図は本発明の一実施例ブロック図、第 2 図は第 1 図ブロック図の波形図を示す。

1 は読取センサーとしての CCD 素子、2 は CCD 制御部、8 はゲート制御回路、4 は切替制御回路、5、6、7 はシフトレジスタからなるメモリ、8 乃至 19 はゲート回路を示す。図中の信号線の内太線は読取信号の経路、細線は制御信号の経路を示すものとする。

CCD 制御部 2 より駆動クロック a が CCD 素子 1 及びゲート制御回路 8 へ与えられる。

CCD 素子 1 は自走型受光素子であり、駆動クロック a に同期して、例えば 1024 ビットの画像読取信号が直列にゲート回路 8 に出力される。

CCD 制御回路 2 は駆動クロック a を基に読取信号のみを取出すようなゲート信号 b をゲート回路 8 に出力する。ゲート回路 8 はゲート信号 b により CCD 素子 1 の出力信号から画像の読取信号の

ト制御信号 c により制御される。

即ち、ゲート回路 9 は通常はゲート回路 8 の出力を通過させ、ゲート制御信号 c の存在期間のみメモリ 5 の出力とゲート回路 8 の出力の論理積をとり、論理積出力をメモリ 5 に与える。図では 8 回の論理積動作を行なう。

従つて、メモリ 5 の中では 4 回の走査によりえられた読取信号を集合させたものがえられる。

メモリ 5 の出力は細線採取用ブロックに入力される。細線採取用ブロックはゲート回路 11、18、

15 及びメモリ 6 とゲート回路 12、14、16 及びメモリ 7 とからなる 2 つのブロックからなり、これらのブロックの動作は一方のブロックで入力している間に他方のブロックの信号を出力するもので同期信号 SYNC に応じ切替制御回路 4 で作成された切 信号 f、g がゲート回路 11、12、17、18 に入力されることにより切替が行なわれる。

このブロックの動作を説明すると、ゲート回路 11 には前述の切 信号 g の他にゲート信号 d が入力されており、両信号の条件の元メモリ 5 の出力

をゲート回路18に入力するものでゲート回路13はゲート制御信号eが存在するときのみメモリ6の出力とゲート回路11の出力の論理和をとるもので、通常はゲート回路11の出力を通過させる。

即ち、ゲート信号dにより1同期信号周期期間に4回入力された読取信号の論理和を8回とり細線を採取する。

黒信号が"1"であるから4回に1回黒信号があつてもメモリ6に"1"がセットされる。

ゲート回路15はメモリ6のシフトパルスの入力に利用され、条件はゲート回路11と同一である。即ち、ゲート回路11からの信号入力中はクロックCL1を、又ゲート回路11が閉じゲート回路17が開放された時はクロックCL2が与えられる。

もう一方のブロック、ゲート回路12,14,16メモリ7からなるブロックも同様の動作を行なうもので、ゲート回路12はゲート回路11と、ゲート回路14はゲート回路13と、ゲート回路16

はゲート回路15と、メモリ6はメモリ7と同一の構成で同一の機能をする。

ゲート回路18はオアゲートであり、最終の走査線信号を出力する。

このように本発明によれば、細線の採取が可能で且つ伝送量を増加させないという効果がえられ、しかも構成も単にゲート回路の付加のみで済むという経済的効果もある。

4. 図面の簡単な説明

第1図は本発明の一実施例ブロック図、第2図は第1図ブロック図の各部波形状を示し、図中、1はCCD素子、2はCCD制御回路、3はゲート制御回路、4は切替制御回路、5,6,7はメモリ、8乃至19はゲート回路を示す。

代理人 弁理士 松岡 宏四郎

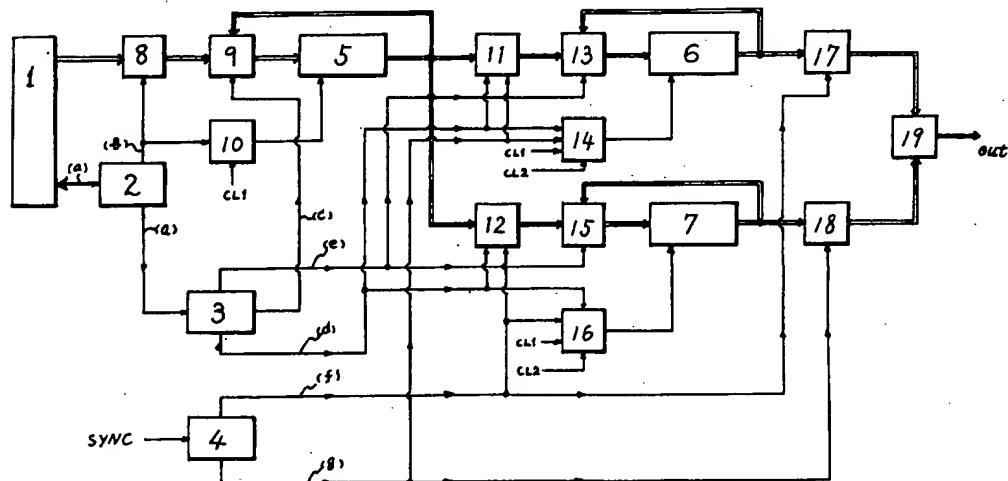


図 1

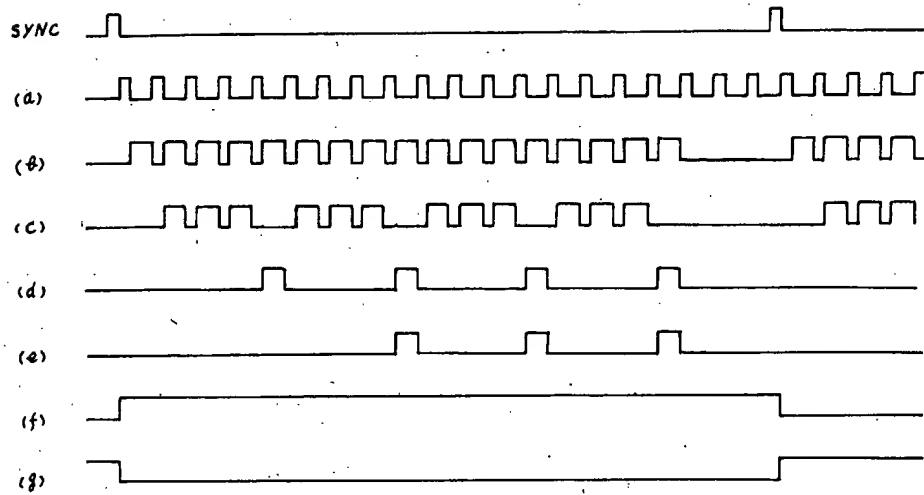


図 2

手続補正書(方式)

昭和 53 年 12 月 27 日

特許庁長官 片山 石 郎 殿
(特許庁審判長 殿)
(特許庁審査官 殿)



1. 事件の表示

昭和 51 年 特許願 第 117670 号

2. 発明の名称

書画信号読取制御方式

3. 補正をする者

事件との関係

特許出願人

住所 神奈川県川崎市中原区上小田中1015番地

(522) 名称 富士通株式会社

4. 代理人

住所 神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(6433) 氏名 弁護士 松岡 宏 四 郎

電話 川崎 (044) 777-1111 内線(2871)

5. 補正命令の日付

昭和 51 年 11 月 30 日

6. 補正により増加する発明の数

なし

7. 補正の対象

図面等

8. 補正の内容

手書き明図等をタイプ集約に補正。
内容についての補正はない。